

**DOUBLE TRIGGERING MECHANISM FOR ACHIEVING FASTER TURN-ON**

Publication number: JP2003526200 (T)

Publication date: 2003-09-02

Inventor(s):

Applicant(s):

Classification:

- International: H01L29/74; H01L21/822; H01L21/8222; H01L21/8238; H01L21/8248; H01L27/02; H01L27/04; H01L27/06; H01L27/092; H03K17/04; H03K17/0814; H03K19/003; H01L29/06; H01L21/70; H01L27/02; H01L27/04; H01L27/06; H01L27/085; H03K17/04; H03K17/08; H03K19/003; (IPC1-7): H01L21/822; H01L21/8222; H01L21/8238; H01L27/04; H01L27/06; H01L27/092; H01L29/74; H03K19/003

- European: H01L27/02B4; H01L27/02B4F4; H03K17/04C; H03K17/0814

Application number: JP20010526854T 20000804

Priority number(s): US19990147943P 19990806; US20000627090 20000727; WO2000US21316 20000804

Also published as:

WO0111685 (A1)

TW465082 (B)

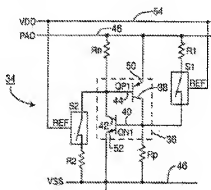
US6618233 (B1)

EP1200993 (A1)

Abstract not available for JP 2003526200 (T)

Abstract of corresponding document: **WO 0111685 (A1)**

An ESD protection circuit includes an SCR and a switching means, such as a MOS transistor connected to the SCR so that the SCR is turned on by the switching means to allow an ESD pulse to pass from a Pad line to a grounded VSS line and thereby dissipate the ESD pulse. The SCR is connected between the Pad line and the VSS line. One MOS switching means is connected between the Pad line and the SCR and has a gate which is connected to a VDD line which maintains the switch in open condition during normal VDD bias conditions. An ESD pulse applied to the Pad line, the switch is preconditioned in ON mode allowing the SCR to be predisposed to conduction to allow the ESD pulse to flow to the VSS line.



Data supplied from the esp@cenet database — Worldwide



【特許請求の範囲】

【請求項1】 バッドラインとVSSラインとの間に接続されるSCRと、

バッドラインとSCRとの間に接続されるスイッチと、を備え、

該スイッチは

OFF状態のスイッチを維持するVDDラインにも接続され、ESDパルスがバッドラインに加えられたとき、スイッチがON状態にあらかじめ調整され、SCRを、ESDパルスがVSSラインに流れることができるような導通しやすい状態にするESD保護回路、

【請求項2】 前記スイッチが、前記バッドラインに接続したソースと、前記SCRに接続するドレインと、VDDラインに接続したゲートとを有するMOSトランジスタである、請求項1記載の保護回路、

【請求項3】 前記SCRは、本質的にPNPバイポーラトランジスタ及びNPNバイポーラトランジスタの組合せであり、

前記PNPトランジスタのPタイプコレクタはNPNトランジスタのPタイプベース領域と共通しており、

前記PNPトランジスタのNタイプベース領域はNPNトランジスタのNタイプコレクタ領域と共通しており、

前記PNP及び前記NPNトランジスタのエミッタは電気的にバッドライン及びVSSラインにそれぞれ接続し、

前記SCRが前記PNP及び前記NPNトランジスタの2つの共通している領域への同時の注入によりターンオンされるようになっている請求項2記載の保護回路、

【請求項4】 前記バイポーラトランジスタ及びバッドライン及びVSSラインの各々の共通している領域の間でそれぞれ接続される別々の抵抗を含んでいる請求項3記載の保護回路、

【請求項5】 MOSトランジスタが、バイポーラトランジスタの接合Pタイプ領域に接続されているドレインを有するPMOSTランジスタである請求項3記載の保護回路、

【請求項6】 前記バッドラインと前記VDDラインとの間に接続されるタ

イオードを更に備えている請求項6の保護回路。

【請求項7】 表面を有する半導体材料の基板と、

前記基板の前記表面でPタイプ伝導性のウェルと、

前記基板の前記表面でNタイプ伝導性のウェルと、を備え、

NタイプウェルがPタイプウェルと隣接しており、

前記表面に、前記PタイプウェルのNタイプ伝導性の一方の端部配置された領域と、

端部配置されたNタイプ領域間の前記表面上に、絶縁体材料の第1の層と、

前記第1の絶縁体層上に、伝導性の材料の層と、

前記表面に、前記NタイプウェルのPタイプ伝導性の一方の端部配置された領域と、

端部配置されたPタイプ領域間の前記表面上に、絶縁体材料の第2の層と、

前記第2の絶縁体層上に、伝導性の材料の層とを備えたESD保護回路を形成する半導体装置。

【請求項8】 前記Nタイプ領域の1つは、前記Nタイプウェルと前記Pタイプウェルとの間のジャンクションに隣接しており、前記Nタイプウェルに延びた複数の端部配置されたフィンガーを有し、前記Pタイプ領域のうちの1つは、前記Nタイプウェルと前記Pタイプウェルとの間のジャンクションに隣接しており、Pタイプウェルに延びた複数の端部配置されたフィンガーを有する請求項7記載の半導体装置。

【請求項9】 前記Nタイプ領域及び前記Pタイプ領域のフィンガーが互いに嵌合されている請求項8の半導体装置。

【請求項10】 前記表面でP+タイプコンタクト領域を前記表面でのPタイプウェル及びNタイプウェルのN+タイプコンタクト領域に含んでいる請求項9記載の半導体装置。

【発明の明確な説明】

【0001】

本出願は、1999年8月6日出願のアメリカ仮出願第60/147,943号の利益を主張する。

【0002】

【技術分野】

本発明は静電放電（ESD）保護回路に関する。より詳しくは、より速いターンオンを達成するための二重トリガー機構を有するESD保護回路に関する。

【0003】

【従来の技術】

MOSトランジスタを含むデジタル集積回路において、静電放電（ESD）からの保護は、課題である。MOSトランジスタの酸化物厚さがより薄くなる、より速い回路の開発に伴い、ESD保護の十分なレベルを提供することは、更により大きな課題になった。シリコン制御整流（SCR）装置が、ESD保護のためにこれまで使われてきた。CMOS技術でのそれらを使用するための大きな改良は、いわゆる低電圧トリガーSCR回路であった。それは、通常有利なウェルツーウェル（well-to-well）ブレークダウンよりも低いトリガー電圧及びトリガー回路を提供するためにNMOSトランジスタを取り入れている。図1は、代表的な低電圧トリガーSCR ESD保護回路（包括的に1として示す）の回路図である。低電圧トリガーSCR回路10は、パッドライン13とVSSライン16との間を接続するNMOSトランジスタ14と、SCR12を備えている。図2に示すように、代表的なSCR12は、4層16、18、20及び22を有する半導体材料体であることは、理解されなければならない。層は、例えばP型伝導性の層16及び20、並びにN型伝導性の層18及び22のようである。反対の伝導性タイプを交互にしたものである。金属コンタクト層24及び26は、外側の層16及び22に接続している。金属コンタクト26が、層18等の内側の層の1つ接続している。しかし、SCRは、2つのバイポーラトランジスタ（PNPトランジスタ及びNPNトランジスタ）で形成されるように考えられることができる。そこでは、PNPトランジスタのN型層が、NPNトラン

ジスタのN型層と共通しており、PNPトランジスタのP型層のうちの1つが、NPNトランジスタのP型層と共通している。従って、図1の回路図において、SCR12は、PNPトランジスタ30及びNPNトランジスタ32で形成されるように電気的に表示される。回路の動作において、バッフ13上の静電放電は、MNOトランジスタ14にSCRトランジスタ12をオンにすることを誘発（トリガー）させる。これによって、静電放電が、接地されたVSSライン15に流れることができる。しかし、SCRで共通している課題は、トリガー時間である。SCR12の二重の注入機構のため、2つのジャンクションは漸方向へバイアスされなければならない。全体の移動時間は、NPNトランジスタの移動時間及びNPNトランジスタより通常遅いPNPトランジスタの移動時間を有するPNPトランジスタの移動時間の関数である。ESD保護回路（特にSCR保護回路）は、通常トリガーのブレークダウン機構に依存するので、PNPトランジスタの移動時間が遅くなると、回路のトリガー時間を遅くする。従って、SCR保護回路のトリガー時間を低減することが望ましい。

【0004】

【発明の開示】

ESD保護回路は、P<sub>ad</sub>ラインとVSSラインとの間で接続されるSCRを含む。スイッチはP<sub>ad</sub>ラインとSCRとの間で接続される。スイッチは、また、VDDラインに接続されており、通常の動作中でスイッチをOFF状態に維持するが、パワーが供給されない状態の間、スイッチをONにする。ESDパルスがP<sub>ad</sub>ラインに加えられると、スイッチは、ONモードにあらかじめ調整されるSCRを伝導しやすくし、ESDパルスがVSSラインに流れることができるようにする。第2のスイッチは、SCRとVSSラインとの間に接続されること

【0005】

【好ましい実施形態の詳細な説明】

図3を参照する。本発明を組み込んだESD保護回路を、包括的に34で示す。ESD保護回路34は、PNPトランジスタ(OP1)及びNPNトランジスタ(ON1)で形成されるSCR36を有する。SCR36の同じP型領域によ

って提供されているので、PNPトランジスタQ<sub>P1</sub>のコレクタ38は、NPNトランジスタQ<sub>N1</sub>のベース40に、電気的に接続されている。SCR36のこの共通領域を以下G1と称する。SCR36の同じN型領域によって提供されているので、NPNトランジスタQ<sub>N1</sub>のコレクタ42は、PNPトランジスタQ<sub>P1</sub>のベース44に、電気的に接続されている。SCR36のこの共通領域を、G2と称する。NPNトランジスタQ<sub>N1</sub>のベース40は、抵抗R<sub>p</sub>を通してV<sub>SS</sub>ライン46に電気的に接続され、PNPトランジスタQ<sub>P1</sub>のベース44は、抵抗R<sub>n</sub>によってP<sub>ad</sub>ライン48に、電気的に接続されている。PNPトランジスタQ<sub>P1</sub>のエミッタ50は、パッドライン48に電気的に接続され、NPNトランジスタQ<sub>N1</sub>のエミッタ52は、V<sub>SS</sub>ライン46に電気的に接続されている。

#### 【0006】

スイッチング素子S1が、パッドライン48と、PNPトランジスタQ<sub>P1</sub>のコレクタ38でもあるNPNトランジスタQ<sub>N1</sub>のベース40の間に電気的に接続されている。抵抗R1は、スイッチング素子S1とパッドライン48との間に電気的に接続されている。第2のスイッチング素子S2は、V<sub>SS</sub>ライン46と、NPNトランジスタQ<sub>N1</sub>のコレクタ42でもあるPNPトランジスタQ<sub>P1</sub>のベース44との間に電気的に接続されている。抵抗R2は、V<sub>SS</sub>ライン46とスイッチング素子S2との間に電気的に接続されている。各々のスイッチング素子S1とS2のリファレンス端子R<sub>ref</sub>は、V<sub>DD</sub>ライン54に電気的に接続されている。

#### 【0007】

保護回路34の動作で、全部の装置がバイアスされていない(non-biased)状態(ESDストレスが影響を及ぼしているであろう)で、スイッチS1及びS2は閉じる。ESDパルスが回路34に加えられるときに、スイッチS1及びS2は、閉じたままである。それはV<sub>DD</sub>がV<sub>SS</sub>に容量的に接続され、ゆっくりとだけチャージアップするからである。これはSCR36をターンオンし、ESD電流が接地されたV<sub>SS</sub>に流れることができるようにする。従って、保護回路34は、回路を保護するためにSCR36を通してESD電流を短絡す

る。スイッチング素子S1およびS2と直列の抵抗R1およびR2は、電流を制限して、S1及びS2の過剰なダメージを防ぐ。

【0008】

図4を参照する。図2で表示した保護回路34のコンセプトの実際に見直しした保護回路56を表示する。回路56は、PNPトランジスタQP1及びNPNトランジスタQN1によって形成されているように表示されているSCR58を有する。トランジスタQP1及びQN1は、同様に図3に関して前述したように、一体接続され、パッドライン60及びVSSライン52につながっている。PMOSTランジスタ64は、図3において表示される回路34のスイッチS1及び抵抗R1として機能し、NMOSTランジスタ66は、回路34のスイッチS2及び抵抗R2として機能する。PMOSTランジスタ64のソース68は、パッドライン60に接続される。PMOSTランジスタ64のドレイン70は、PNPトランジスタQP1のコレクタ領域でもあるNPNトランジスタQN1のベース領域74に接続されている。PMOSTランジスタ64のゲート72は、VDDライン76に接続されている。NMOSTランジスタ66は、NPNトランジスタQN1のコレクタ領域でもあるPNPトランジスタQP1のVSSライン62及びベース領域78との間で接続されている。任意に、ダイオード80はパッドライン60とVDDライン76との間で接続されることができる。

【0009】

保護回路56の動作で、PMOSTランジスタ64のゲート72がVDDライン76に接続されるので、バイアスされたVDDライン76は、PMOSTランジスタ64をオフにする。VDDライン76がバイアスされず、正のESDパルスが、VSSライン62が接地された状態でパッドライン60をヒットするとき、VDDキャパシタンスは、PMOSTランジスタ64のゲート72を低ポテンシャルに保ち、電流がNPNトランジスタQN1のベース領域74に流れることができるようにする。これは、直ちにSCR58をオン状態にトリガーして、安全な方法で、ESD電流をVSSライン62に排出する。この場合トリガー電流は、PMOSTランジスタ64上に、通常に単に提供される。回路56は、本願明細書でNMOSTランジスタ66を有するように示されているが、それは、小

型の装置レイアウトを提供する構成に取り入れられて、回路58の動作において機能しない。

【0010】

ダイオード80によって、いくつかのESD電流がVDDライン76にパッドライン60から流れて、VDDキャパシタンスをチャージすることができ、これは、保護回路56の機能性に障害を生じさせない。パッドライン60のポテンシャルは、最初、VDDライン76より高いダイオード降下より高い。従って、PMOSトランジスタ68は、閾値電圧近傍又はそれより高い負のゲートソース（gate-to-source）バイアスを受信し、PMOSトランジスタ68が、SCR38を伝導にトリガーするのに十分長い間伝導モードにとどまるようになっている。通常の回路動作中で、VDDポテンシャルはパッドライン60上のポテンシャルより高く、PMOSトランジスタはオフである。

【0011】

図4を参照する。図4において表示される保護回路56を形成する半導体装置の形が表示されており、包括的に82で示す。半導体装置82は、表面86を有する半導体材料（どちらの伝導性タイプでもよい）の基板84を有する。基板84内及び表面86は、P型伝導性のウェル領域88である。また、基板84の表面86且つP型ウェル領域88に隣接して、N型伝導性のウェル領域90がある。P型伝導性ウェル88内且つ表面86には、NMOSトランジスタのソースとドレインを形成するN+タイプ伝導性の2つの離隔配置された領域92及び94がある。図5に示すように、N+領域94は、Pウェル88とNウェル90との間のジャンクションに隣接しており、Nウェル90に延びた複数の離隔配置されたフィンガー95を有する。Pウェル88内且つ表面86には、P+タイプ伝導性のコンタクト領域96がある。コンタクト領域96は、N+領域92から離隔配置され、絶縁材料の絶縁ストリップ98、例えば、二酸化ケイ素が、P+コンタクト領域96とN+領域92との間のPウェル88にある。絶縁体層100（二酸化ケイ素等）が、2つのN+タイプ領域92と94との間の表面86にある。伝導性材料の層102（ドーパされたポリシリコン又は金層等）が、絶縁体層100上において、2つのN+タイプ領域92と94との間に延びている。伝導

性の層102は、NMOSトランジスタのゲートを形成する。

【0012】

Nウェル90の表面96には、P+タイプ伝導性の一对の縦隔配置された領域104及び106があり、PMOSTランジスタのドレイン及びソースを形成する。P+領域104はPウェル88とNウェル90との間のジャンクションに隣接し、Pウェル88に延びた複数の縦隔配置されたフィンガー108を有する。P+フィンガー108は、N+フィンガー95によって互いに嵌合されている。しかし、P+フィンガー108は縦隔配置されているので、互いに嵌合されたN+フィンガー95に接触しない。必要に応じて、絶縁材料（二酸化ケイ素（図示せず）等）が互いに嵌合されたフィンガー108と95との間に提供されることかできる。N+タイプ伝導性のコンタクト領域110が、Nウェル90の表面96にあり、P+領域106から縦隔配置されている。絶縁材料（二酸化ケイ素等の）の隔離ストリップ112が、P+領域106とコンタクト領域110との間のNウェル90にある。絶縁体（二酸化ケイ素等）の層114は、P+領域104と106との間の表面88にある。伝導性の材料（ドーパされたポリシリコン又は金属等）の層116が、PMOSTランジスタのゲートを形成するために絶縁体層114にある。絶縁材料（二酸化ケイ素等）のストリップ118が基板84にあり、完全に装置を囲んでいる。

【0013】

半導体装置82において、N+領域92、Pウェル88、Nウェル90とP+領域106は、図4で表示した回路56のSCR58を形成する。N+領域92と94、Pウェル88、絶縁体層100と伝導性の層102は、回路56のNMOSTランジスタ66を形成する。P+領域104と106、Nウェル90、絶縁体層114と伝導性の層116は、回路56のPMOSTランジスタ64を形成する。伝導性の層102と116（それぞれNMOSTランジスタ66とPMOSTランジスタ64のゲートである）は、基板84内又は上の伝導性のストリップ（図示せず）、又は外部の導線のいずれかにより、所望の回路を形成するために接続される。N+領域92及びP+領域104の互いに嵌合されたフィンガー95及び108は、PMOSTランジスタ64及びNMOSTランジスタ66

のための必要な接続を提供し、スイッチS<sub>1</sub>及びS<sub>2</sub>として図3で表示される回路を作動する。

【0014】

図7を参照する。本発明の保護回路の更なる好ましい形を120として全般的に示す。第2のPMOSトランジスタ122を含むことを除いては、回路120は図4に表示した保護回路56と同一である。PMOSトランジスタ122のソース124は、抵抗126を通してパッドライン60に接続される。PMOSトランジスタ122のドレイン128は、以下に接続される。(1)高オームのレジスタ130を通るVSSライン62。(2)NMOSトランジスタ68のゲート。PMOSトランジスタ122のゲート132は、VDDライン76に接続される。

【0015】

回路120は、PNPトランジスタ30及びNPNトランジスタ32のベース領域がバイアスされると、改良されたトリガーを許容する。バイアスされたVDDに対して、PMOSトランジスタ64及びNMOSトランジスタ68はオフ状態にあり、SCRESDクランプをオフ状態に保つ。抵抗126は、ESDイベント中のPMOSトランジスタ122のソースジャンクション124の基底的でないブレイクダウンの場合に、電流を制限するために提供される。

【0016】

図8を参照する。本発明の保護回路の更に別の形を、包括的に132として示す。回路132は、図56でNMOSトランジスタ66が使われないということを除いて、図4に表示される回路56と同一である。一方、回路132で、NMOSトランジスタ66は、NPNトランジスタ32のベース44に、NMOSトランジスタ66のゲートと接続することによって利用される。回路132で、NMOSトランジスタ66に対するゲートバイアスは、NPNトランジスタ32のベース領域から、ローカル基板ポテンシャルとして導出される。

【0017】

従って、パッドラインとVSSラインとの間で接続されるSCR及び、PMOSトランジスタ（パッドラインとSCRとの間で接続される）等の、スイッチン

手段を含むESD保護回路が、本発明によって提供される。NMOSトランジスタの形の第2のスイッチは、SCRとVSSラインとの間で接続されることができる。VDDラインがバイアスされると、閉じた状態のスイッチを維持するVDDラインにも、スイッチは接続される。VDDラインがバイアスされないと、パワーを付与されない状態中のパッドライン上の正のESDパルスは、PMOSトランジスタのゲートを低ポテンシャルに保ち、NPNトランジスタのベース領域に電流が流れるようにする。これは直ちにSCRをオン状態にトリガーし、パルスを接地されたVSSラインにパスすることができるようにする。従って、これはESDパルスの消滅をできる保護回路のためのより速い作動時間を提供する二重のトリガー動作である。

【図面の簡単な説明】

【図1】

図1は、代表的な従来技術SCR保護回路の回路図である。

【図2】

図2は、代表的なSCRの断面図である。

【図3】

図3は、本発明を取り入れているSCR保護回路の回路図である。

【図4】

図4は、本発明を実行するための回路の1つの形を表示している回路図である。

【図5】

図5は、図4において表示される回路を形成する集積回路の断面図である。

【図6】

図6は、図5の集積回路の上面図である。

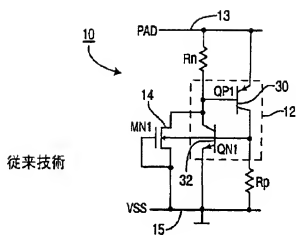
【図7】

図7は、本発明の回路の他の形の回路図である。

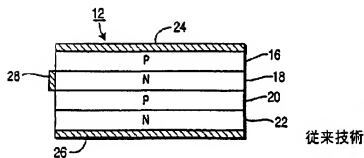
【図8】

図8は本発明の回路の更に別の形の回路図である。

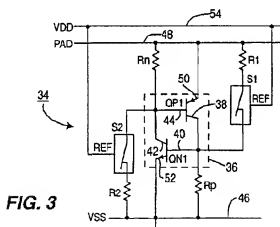
〔図 1〕



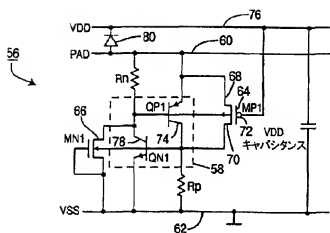
〔図 2〕



〔図 3〕



【図 4】



【図 5】

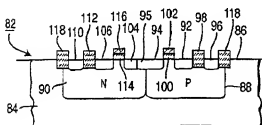


FIG. 5

【図 6】

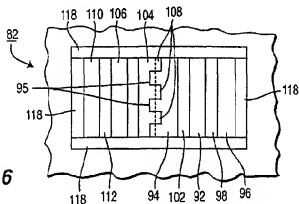
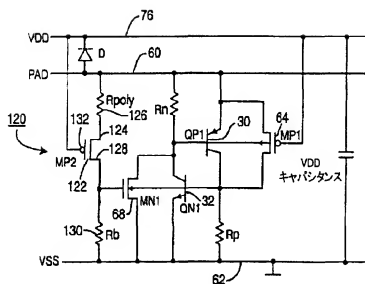
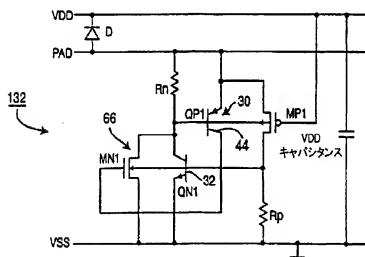


FIG. 6

【図 7】



【図 8】



## INTERNATIONAL SEARCH REPORT

PCT/US 00/21316

[illegible]

## INTERNATIONAL SEARCH REPORT

Internat. of Application No.

PCT/US 00/21316

G (Comments) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation in document, with indication where appropriate, of the relevant passages	Relevant to claim no.
X	US 5 561 577 A (MOTLEY GORDON W) 1 October 1996 (1996-10-01) figure 7 column 8, line 38 -column 9, line 15	1
A	-----	2-6
A	US 5 140 401 A (LEE CHUNG Y ET AL) 18 August 1992 (1992-08-18) figure 1 column 2, line 43 -column 3, line 58	1-6
A	US 5 194 394 A (TERASHIMA TOMOHIDE) 16 March 1993 (1993-03-16) figure 2 column 1, line 45 -column 2, line 34	1-3,5
A	US 4 644 437 A (ROBE THOMAS J) 17 February 1987 (1987-02-17) figures 2,3 column 3, line 15 -column 7, line 20	1-6
X	HENG-SHENG HUANG ET AL: "THE BEHAVIOR OF BILATERAL LATCH-UP TRIGGERING IN VLSI ELECTROSTATIC DISCHARGE DAMAGE PROTECTION CIRCUITS" JAPANESE JOURNAL OF APPLIED PHYSICS, JP. PUBLICATION OFFICE JAPANESE JOURNAL OF APPLIED PHYSICS, TOKYO, vol. 32, no. 11A, PART 01, 1 November 1993 (1993-11-01), pages 4928-4933, JP000480190 ISSN: 0021-4922	7
A	figures 2,3	10
A	US 5 742 083 A (LIN SHI-TRON) 21 April 1998 (1998-04-21) figure 3 column 3, line 22 - line 38 column 3, line 56 -column 5, line 47	8,9
A	US 5 157 573 A (LEE ALAN ET AL) 20 October 1992 (1992-10-20) figures 5,6 column 9, line 5 -column 11, line 40	8

2

From PCT (SAY TO EXAMINER) OF BRIDGE (SAY) LAMB (SAY)

page 2 of 2

## INTERNATIONAL SEARCH REPORT

Information on patent family members

Intern. of Application No.

PCT/US 08/21316

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5452171 A	19-09-1995	US 5400202 A	21-03-1995
		GB 2283857 A, B	17-05-1995
		JP 7381304 A	21-07-1995
		GB 2268007 A, B	22-12-1993
		JP 6053407 A	25-02-1994
GB 2218572 A	22-11-1989	NONE	
US 5561577 A	01-10-1996	GB 2286287 A, B	09-08-1995
		GB 2310893 A, B	03-06-1998
		JP 7263566 A	13-10-1995
US 5140401 A	18-08-1992	NONE	
US 5194394 A	16-03-1993	JP 2062634 C	24-06-1995
		JP 3136371 A	11-06-1991
		JP 7095590 B	11-10-1995
		DE 69017348 D	06-04-1995
		DE 69017348 T	02-11-1995
		EP 0424710 A	02-05-1991
		US 5091765 A	25-02-1992
US 4644437 A	17-02-1987	CA 1285983 A	09-07-1991
		BE 3676695 D	07-02-1991
		EP 0248035 A	09-12-1987
		ES 2003447 A	01-11-1988
		JP 6001941 B	05-01-1994
		JP 63501330 T	19-05-1990
		WO 8702837 A	07-05-1987
US 5742083 A	21-04-1998	NONE	
US 5167573 A	20-10-1992	US 5051860 A	24-09-1991
		US 5270565 A	14-12-1993

Form PCT/ISA 210 (patent family member table) (08/08)

フロントページの続き

(51)Int. Cl. 7	識別記号	F I	テーマコード (参考)
H 0 1 L 27/06	3 1 1	H 0 1 L 27/06	1 0 1 U
27/092			
29/74			
H 0 3 K 19/003			

(91)指定国 F P (A T, B E, C H, C Y, D E, D K, E S, F I, F R, G B, G R, I E, I T, L U, M C, N L, P T, S E), J P, K R, S G

(72)発明者 アヴェリー, レスリー, ロナルド  
 アメリカ合衆国, ニュージャージー州,  
 フレミントン, キングウッド・ロック  
 タウン ロード 417

Fターム(参考) 5F005 CA01 CA05  
 5F038 AV06 AV13 BHD2 BHD4 BHD6  
 BH13 EZ20  
 5F049 AA02 AB10 AC03 AC05 AC10  
 BE03 CD01 CD05 CD06 CD08  
 CD10 CD16 CD19  
 5F082 AA33 BC04 BCD9 BCD11 BCD13  
 BCD15 FA16 GA04  
 5J032 AA02 AA05 AA11 AC18